

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

6624101

Basic Patent (No,Kind,Date): GB 8715653 A0 19870812 <No. of Patents: 009>

MATRIX DISPLAY DEVICES (English)

Patent Assignee: PHILIPS ELECTRONIC ASSOCIATED

Language of Document: English

Patent Family:

Patent No.	Kind	Date	Applic No	Kind	Date	
DE 3851276	C0	19941006	DE 3851276	A	19880627	
DE 3851276	T2	19950406	DE 3851276	A	19880627	
EP 297664	A2	19890104	EP 88201317	A	19880627	
EP 297664	A3	19900530	EP 88201317	A	19880627	
EP 297664	B1	19940831	EP 88201317	A	19880627	
GB 8715653	A0	19870812	GB 8715653	A	19870703	(BASIC)
GB 2206721	A1	19890111	GB 8715653	A	19870703	
JP 1032235	A2	19890202	JP 88162778	A	19880701	
US 4851827	A	19890725	US 199086	A	19880526	

Priority Data (No,Kind,Date):

GB 8715653 A 19870703

Matrix display devices.

Patent Number: EP0297664, A3, B1
 Publication date: 1989-01-04
 Inventor(s): NICHOLAS KEITH HARLOW
 Applicant(s):: PHILIPS ELECTRONICS UK LTD (GB); PHILIPS NV (NL)
 Requested Patent: JP1032235
 Application Number: EP19880201317 19880627
 Priority Number(s): GB19870015653 19870703
 IPC Classification: G02F1/133 ; G09G3/36
 EC Classification: G02E1/1362M, G06F11/16
 Equivalents: DE3851276D, DE3851276T, GB2206721, US4851827

Abstract

In a matrix display device, such as an LCD-TV, supply of data signals to each one of an array of display elements (12) is controlled by respective switching means (11) in response to applied switching signals. Each switching means (11) comprises a fault-tolerant switching circuit having two branches each containing two series-connected transistors (32 to 35), e.g. TFTs, and connected in parallel between a data signal input (22) and a display element electrode (16) with the transistor gates being connected to a common switching signal input (23). For commonly-occurring transistor defects such a circuit can tolerate a defective transistor, thereby improving fabrication yields. Further transistor defects are accommodated for improved fault tolerance by provision of impedances (38) in the gate supply lines. The impedances may comprise resistors or active loads (41).

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-32235

⑬ Int. Cl.⁴

G 02 F 1/133

G 09 G 3/20

識別記号

3 2 7
3 3 2

庁内整理番号

7370-2H
8708-2H
7335-5C

⑭ 公開 昭和64年(1989)2月2日

審査請求 未請求 請求項の数 13 (全10頁)

⑮ 発明の名称 マトリックス表示装置

⑯ 特 願 昭63-162778

⑰ 出 願 昭63(1988)7月1日

優先権主張 ⑱ 1987年7月3日 ⑲ イギリス (GB) ⑳ 8715653

⑳ 発 明 者 キース・ハーロー・ニコラス イギリス国 サーリー レイゲート ラグラーン ロード 80

㉑ 出 願 人 エヌ・ペー・フィリップス・フルーイランベンプアブリケン オランダ国5621 ベーアー アインドーフエン フルーネパウツウエツハ1

㉒ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 マトリックス表示装置

2. 特許請求の範囲

1. アレイ状に配置される複数個の表示素子を具備、これらの各表示素子は電気-光材料を間に介する対向基板上に担持される電極を具備しており、前記各表示素子を、供給されるスイッチング信号にตอบสนองして表示素子へのデータ信号の供給を制御すべく作動し得るスイッチング手段に関連させたマトリックス表示装置において、各表示素子に関連するスイッチング手段を共通データ信号入力端子と表示素子の一方の電極との間に電気的に並列に接続される2つの枝路を有している故障許容スイッチング回路で構成し、前記各枝路を複数個のトランジスタで構成し、これらのトランジスタの主電流搬送電極を共通データ信号入力端子と表示素子電極との間に直列に接続し、かつ両枝路のトランジスタの制御電極を共通スイッチング信号入力端子に接続したことを

特徴とするマトリックス表示装置。

2. 前記各枝路を2個直列に接続したトランジスタで構成したことを特徴とする請求項1に記載のマトリックス表示装置。
3. 前記スイッチング回路の両枝路を構成するトランジスタの制御電極を各別のインピーダンスを介して共通スイッチング信号入力端子に接続したことを特徴とする請求項1又は2に記載のマトリックス表示装置。
4. 前記インピーダンスの値を、該インピーダンスに関連するトランジスタのオン状態によって呈されるインピーダンスよりも高くなるように選定したことを特徴とする請求項3に記載のマトリックス表示装置。
5. 前記表示素子電極の隣りの少なくとも2個のトランジスタに関連するインピーダンスの値を、これら両トランジスタの内のいずれか一方における制御電極/出力電極短絡の場合に、表示素子の連続アドレス間の期間内にて該表示素子が過度に放電されるのを実質上防

- 止し得るようにな値に選定したことを特徴とする請求項4に記載のマトリックス表示装置。
6. 前記インピーダンスの内の少なくとも1個を抵抗としたことを特徴とする請求項3～5のいずれかに記載のマトリックス表示装置。
 7. 前記インピーダンスの内の少なくとも1個を能動負荷で構成したことを特徴とする請求項3～5のいずれかに記載のマトリックス表示装置。
 8. 前記表示素子電極の隣りの2つの枝路のトランジスタに関連するインピーダンスを能動負荷で構成したことを特徴とする請求項7に記載のマトリックス表示装置。
 9. 前記各能動負荷をトランジスタで構成したことを特徴とする請求項7又は8のいずれかに記載のマトリックス表示装置。
 10. 前記各能動負荷トランジスタの制御電極を抵抗を介して前記スイッチング信号入力端子に接続したことを特徴とする請求項9に記載のマトリックス表示装置。

ある。

斯種の表示装置は液晶材料、電気泳動懸濁液及びエレクトロクロミック材料の如き能動電気-光学材料を用いて英数字及びビデオ情報を表示するのに好適である。

斯種表示装置の従来のものでは、表示素子をマトリックスの行と列に配置し、これらの表示素子を一方の基板における各別の駆動電極と、それに対向する他方の基板における共通電極の部分とによって規定している。トランジスタ、例えば薄膜トランジスタ(TFT)形態のスイッチング手段は、一方の基板上にそのスイッチング手段に関連する各表示素子の駆動電極に隣接して位置させ、スイッチング手段としてのTFTのドレイン電極を駆動電極に接続する。同じ列におけるすべてのトランジスタのソース電極は、データ信号が供給される一組の列導線の内の各1本の列導線に接続し、また同じ行におけるすべてのトランジスタのゲート電極は、スイッチング(ゲート)信号が供給されてトランジスタをスイッチオンさせる一組の行導

11. 前記トランジスタを表示装置の前記両基板の内の一方の上に形成される薄膜トランジスタで構成したことを特徴とする請求項1～10のいずれかに記載のマトリックス表示装置。
12. 前記トランジスタを表示装置の前記両基板の内の一方に形成されるPBTで構成し、該一方の基板を半導体材料製のものとしたことを特徴とする請求項1に記載のマトリックス表示装置。
13. 前記電気-光学材料を液晶材料としたことを特徴とする請求項1～12のいずれかに記載のマトリックス表示装置。

3. 発明の詳細な説明

本発明は、アレイ状に配置される複数個の表示素子を具え、これらの各表示素子は電気-光学材料を間に介挿する対向基板上に担持される電極を具えており、前記各表示素子を、供給されるスイッチング信号にตอบสนองして表示素子へのデータ信号の供給を制御すべく作動し得るスイッチング手段に関連させたマトリックス表示装置に関するもので

線の内の各1本の行導線に接続する。表示装置は、行導線を逐次的に別々に繰返し走査して各行におけるすべてのトランジスタを順番にターン・オンさせるようにし、かつ各行毎に順次適当に同期をとってデータ信号を列導線に供給して表示を行うようにして駆動される。トランジスタがターン・オンすると、データ信号が関連する駆動電極に供給されて、表示素子を充電する。スイッチング電圧の終了によりトランジスタがターン・オフされると、これらのトランジスタに関連する表示素子に電荷が蓄積され、この状態はつぎに表示素子が通常のビデオ表示の場合にはつぎのフィールド周期における走査信号でアドレスされるまで持続する。

このタイプの表示装置は一般に周知のものである。斯種の能動マトリックス的にアドレスされる液晶表示装置は例えば200,000個以上の表示素子で構成することができ、またテレビジョン画像を表示することができる。トランジスタは表示装置の半導体基板上に形成されるバルクトランジスタ、

例えばMOSFETとすることができる。大面積の表示装置には通常ガラス基板上に設けられるTFT(薄膜トランジスタ)が用いられる。表示面積の益々の大形化が企てられるにつれて、表示素子の数並びにスイッチング手段の数はそれにならって増大させる必要がある。

このタイプの大面積表示装置における主要な問題は歩留りにある。例えば、ガラス基板上に設けられるTFTを、それらに関連する行及び列導線と一緒に用いる場合に、ごく僅かな不良TFTが表示装置を容認できない不良品としてしまう。欠陥の性質によっては、1個の不良TFTでも行又は列の表示素子をすべて使用できなくしてしまう。このような問題を克服するのに冗長法が提案されている。特に、各表示素子に対して互いに並列に接続される2個のTFTを設けて、それらのゲートをそれぞれ異なる行導線に接続することは既知である。マトリクスアレイの製造後に1個のTFTが不良であることが証明された場合には、その不良TFTを例えばレーザけがきによって表示素子アドレス

回路から切除し、他方のTFTを残して必要なスイッチング機能をさせる。しかし、この方法には時間がかかり、費用もかかるという欠点があり、しかもこの方法は常に満足のゆくようには行われない。通常は表示装置の組立完了前に各表示素子を調べて、不良のものをいずれも識別して補正する必要がある。

本発明の目的は製造時における歩留りを高めるように適切に構成配置した上述した種類の表示装置を提供することにある。

本発明の他の目的は故障許容を呈し、かつ上述した冗長法に必要とされる種類の他の処理走査をしなくて済む上述した種類の表示装置を提供することにある。

本発明は、冒頭にて述べた種類のマトリクス表示装置において、各表示素子に関連するスイッチング手段を共通データ信号入力端子と表示素子の一方の電極との間に電気的に並列に接続される2つの枝路を有している故障許容スイッチング回路で構成し、前記各枝路を複数個のトランジスタ

で構成し、これらのトランジスタの主電流搬送電極を共通データ信号入力端子と表示素子電極との間に直列に接続し、かつ両枝路のトランジスタの制御電極を共通スイッチング信号入力端子に接続したことを特徴とする。

本発明の好適例では、前記各枝路が2個直列に接続したトランジスタ、例えばTFTを具えるようにする。各枝路には互いに直列に接続される2個以上のトランジスタを用いることができるが、斯かる目的のための最少の追加部品数としての2個のトランジスタでも充分と見なされる故障許容度を呈する。

能動マトリクスアドレス表示装置に用いられるトランジスタにごく一般的に生ずる欠陥について検討するに、本発明によるスイッチング回路はパフォーマンスが殆ど、又は全く劣化したような故障をしているいずれもの単一の不良トランジスタを許容することができる。例えば、1個のトランジスタの主電流搬送電極間の短路、即ちTFTのソースドレイン短路はスイッチング回路のオ

ン抵抗値を低下させるだけであり、この場合斯かるスイッチング回路は不良トランジスタに関連する直列接続のトランジスタと、他方の枝路における直列接続したトランジスタ対とによって制御される。ソースドレイン間の開路はオン抵抗値を高めるも、並列枝路のトランジスタが依然所望なスイッチング作用を維持する。制御電極、即ちゲートの開路は、その分離された制御電極の電圧に応じて実際にはソースドレインを開路としたり、又は短絡させたりするので、回路は上述したように依然スイッチング機能を果す。

スイッチング回路の両枝路におけるトランジスタの制御電極は、それぞれインピーダンスを介して共通のスイッチング信号入力端子に接続するのが好適である。制御電極と、それに関連するトランジスタの主電流搬送電極の1つとの間が短絡する場合でも、共通のスイッチング信号入力端子に現われる完全なるスイッチング信号電圧はデータ信号電圧として表示素子電極に込まれるべきではない。このために、制御電極給電ラインにおけ

るインピーダンスは、その制御電極における電圧を制限する作用をする。斯かるインピーダンスの値は、より効果的とするためにはトランジスタのオン状態におけるその抵抗値よりも高く、好ましくは過剰に高くする必要がある。また、インピーダンスは制御電極の電圧の立上り及び立下りを容認できないように遅らすべきでもない。例えば、ライン周期が64マイクロ秒のTV画像を表示するのにこの表示装置を用いる場合には、許容最大立上り及び立下り時定数は15マイクロ秒程度とするのが好適である。これがため、インピーダンスの好適値は、これらの諸要件を満足するように選定する。

出力電極が表示素子電極に直接接続される表示素子の直ぐ前のスイッチング回路の2個のトランジスタの内のいずれかが、制御電極と出力電極(ゲートドレイン)との間の短絡に似た故障をした場合には、欠陥トランジスタがオフ状態にある場合でもその欠陥トランジスタに関連するインピーダンスからスイッチング信号入力端子に至る

ジスタに対する故障率が 10^{-4} (10,000個毎に1つ)である場合に、故障許容スイッチング回路に対する故障率は(追加のトランジスタも考慮する必要があるから) 10^{-3} 以下になると予想されるが、欠陥トランジスタがランダムに配置されている場合の故障率は数倍も低い 10^{-4} 以下になる。このことは故障率が数桁低いことを意味する。従ってスイッチング回路の単一トランジスタの故障率が単一トランジスタによるスイッチング回路におけるトランジスタに対する故障率よりも数桁高くなるとしても、故障許容能力のために歩留りを依然数桁改善することができる。

本発明による表示装置は幾つかの部品数を伴う故障許容スイッチング回路を設けるために製造が或る程度厄介になることは明らかである。しかし、トランジスタアレイの製造はトランジスタの数が増えても過度に妨げられることはない。その理由は、共通の堆積層を用いることによりすべてのトランジスタを比較的簡単に同時に規定することができるからである。さらに、これらの層は関連す

通路が形成されることになる。この場合には、これら2つのトランジスタに関連するインピーダンスの値を十分に高くして、表示素子がつぎのフィールド(これはTV画像表示の場合には20msec毎である)にてデータ信号で再びアドレスされる前にその表示素子が過度に放電されないようにする。

このような故障許容スイッチング回路を本発明によるマトリックス表示装置におけるスイッチング手段として用いることによって、スイッチング手段として単一のトランジスタを用いる従来の表示装置、特に多数の表示素子を有しており、しかも欠陥トランジスタがランダムに分配されがちな種類の表示装置と比較するに歩留りを著しく改善することができる。表示装置に用いられるトランジスタの数は、例えば上述した例の場合には4倍にも増え、従ってこの増加した数のトランジスタの内の1つ以上のものが欠陥となることのリスクも増えるが、それでも歩留りの改善は著しいものである。例えば、スイッチング手段として単一トランジスタを用いる表示装置における単一トラン

るインピーダンスを形成するのにも利用することができる。また、これらの多数部品から成るスイッチング回路を設けることによって表示装置の実際の表示面積が或る程度失われるも、各スイッチング回路によって関連する表示素子の面積に対して占められる実際の面積は、その影響が殆ど無視できる程度に小さいものである。

スイッチング回路のトランジスタは表示装置の半導体、例えばシリコンの基板上に形成されるPBTで構成することができる。或いはまた、トランジスタは例えばアモルファスシリコン又はポリシリコン技法を用いてガラスのような透明基板上に形成される薄膜トランジスタとすることができる。各スイッチング回路におけるインピーダンスは抵抗又はトランジスタのような能動負荷で構成することができ、インピーダンスはそのすべてを上記一方のタイプのもの、又は他方のタイプのものとするか、両タイプのものを混合したものとすることができる。

上述したインピーダンスに対する作動的な要件

を少なくとも殆ど満足する抵抗は容易に作ることができる。これらの抵抗はトランジスタを形成するのに用いられる堆積層、例えばトランジスタの接点領域を規定するのに仕えるドーパ(n^+)半導体層により形成するのが好適である。表示素子の直ぐ隣りのトランジスタの内の一方のトランジスタの制御電極と出力電極との間が短絡する場合に、表示素子が所定の時間周期内で、例えばTV画像表示の場合に20ns以内に過度に放電するのを抵抗が防止し得るようにすると言う要件は、トランジスタの移動度及びチャネルの長さに大いに依存する。これがため、アモルファスシリコンTFTを用いる場合には少なくとも、即ち表示素子の隣りのトランジスタに関する限りは上述したようなことを考慮すべきである。ポリシリコンの移動度は高いためにポリシリコンTFTと一緒に抵抗を用いることには何等困難なことはなく、またバルクシリコントランジスタを用いる場合でも、それらの移動度は極めて高いために何等問題はない。

制御電極ラインにおけるインピーダンス値を、

負荷抵抗の制御電極は抵抗を介してスイッチング信号入力端子に接続するのが好適である。このようにすれば、スイッチング信号がなくなった際に負荷トランジスタがスイッチ・オフする前に関連するスイッチングトランジスタの制御電極を解放させることができる。

以下図面につき本発明を説明する。

第1図を参照するに、テレビジョン画像を表示させるのに好適なマトリクス表示装置は能動マトリクスのようにアドレスされる液晶表示パネル10を具えており、このパネルは各行に n 個水平方向に配置される表示素子12(1~ n)を有している m 行で構成する。なお、この図には図面の明瞭化のために少数個の表示素子を示してあるだけである。實際上、マトリクスアレイにおける表示素子の総数($m \times n$)は200,000個以上とすることができる。

各表示素子12にはスイッチング手段11を関連させ、これらのスイッチング手段により表示素子へのデジタル信号電圧の供給を制御する。各行におけるすべての表示素子12に関連するスイッチン

それに関連するトランジスタがアドレスされていない場合にそのトランジスタのオン状態におけるインピーダンスよりも遙かに高い値とする必要があるとする場合には、インピーダンスとして能動負荷、例えばトランジスタを用いるのが有利である。このような負荷トランジスタの主電流搬送電極は、それに関連するスイッチングトランジスタの制御電極とスイッチング入力端子との間に直列に接続し、また負荷トランジスタの制御電極もスイッチング入力端子に接続する。このような配置で、表示素子電極に直接結合されるトランジスタの内の一方の制御電極と出力電極との間(ゲートドレイン)が短絡されている場合でも、表示素子電極とスイッチング信号入力端子との間にはアドレスされていない場合に高インピーダンスを呈する「オフ」状態のトランジスタ負荷が存在する。この負荷トランジスタがアドレスされており、従って「オン」状態にある場合には、その抵抗値は関連するスイッチングトランジスタ間の抵抗値ほどには低くならないけれども非常に低くなる。

グ手段11は共通の行導線14を介して制御され、この行導線14にはスイッチング信号を供給し、これらのスイッチング手段11は点22の個所にて行導線14に接続する。各列におけるすべての表示素子12に関連するスイッチング手段11は点23の個所にて共通の列導線15に接続し、この列導線にはそれに接続される表示素子用のデータ信号電圧を供給する。従って m 本の行導線14と n 本の列導線15があり、これら2組の導線は互いに直角に延在する。

スイッチング手段11からの出力は、それらの各表示素子12の電極16に接続する。各表示素子の電極16は導線14、15及びスイッチング手段11と一緒に表示装置の基板上に担持される。すべての表示素子に共通のカウント電極17は上記基板に平行で、しかもそれから離間され、間にT₀液晶材料が介挿される他の基板上に担持される。対向するこれらの基板は慣例の方法で偏光子及び検光子層を設ける。液晶材料は表示素子を透過する光を、これらの表示素子間に印加される電圧に従って変調し、一方

の基板上におけるスイッチング手段に関連する電極と、それに対向する他方の基板における共通電極部分と、これらの間の液晶材料とにより規定される各表示素子は、パネルを透過する光をその表示素子の各電極間に供給される駆動電圧に従って変えるべく作動し得る。表示装置は、行導線14をスイッチング信号で逐次走査して各行のスイッチング手段をすべて順次ターン・オンさせ、かつ各行の表示素子に対する列導線に順次適切に、しかもスイッチング信号と同期させてデータ信号を供給することにより時間に基づいて行方向に駆動されて完全な表示画像を形成する。TV表示の場合に、これらのデータ信号はビデオ情報信号を含んでおり、各行の表示素子にはTVラインに相当するビデオ情報信号が与えられる。1つの行を同時にアドレスする場合、アドレスされる行の各スイッチング手段11は時間T₂の間スイッチ・オンされ、この期間中にビデオ情報信号は列導線15から表示素子12に転送される。フィールド時間T_F(T_Fはほぼ0.1T₂に相当する)の残りの期間中にはスイッチング手段がスイッチ・オフされ、これらのスイッチング手段は表示素子の固有の容量値によって液晶間にビデオ情報電圧を保持すべく機能する。行のアドレッシングに続くスイッチング信号の終了によって行のスイッチング手段11はターン・オフされて、列導線15から表示素子を切離し、供給された電荷を表示素子に蓄積させる。駆動された表示素子は、それに供給されたデータ信号によって決定される状態に留まり、その状態はスイッチング手段が通常つぎのフィールド周期にてアドレスされるつぎの時間まで継続する。

行導線は規則的なタイミングパルスが供給されるデジタルシフトレジスタ回路20によってスイッチング信号でアドレスされる。ビデオ情報(データ)信号は、サンプル兼ホールド回路として作用する1個以上のシフトレジスタを具えているアナログシフトレジスタ回路21から列導線15に供給される。回路21には行走率と同期してビデオ信号及びタイミングパルスが供給され、この回路はパネル10をアドレスする際に行導線に上記ビデオ信号及びタイミングパルスを適当に直ー並列変換して供給する。

オ信号及びタイミングパルスを適当に直ー並列変換して供給する。

本発明による表示装置の基本構成及び作動は、各表示素子に対するスイッチング手段として単一トランジスタ、例えば薄膜トランジスタを用いる慣例の能動マトリックス的にアドレスされる液晶表示装置の構成及び作動と多くの点で似ている。斯種の慣例の表示装置は周知であり、多数の文献にも記載されているため、本発明による表示装置の一般的な構成及び作動についての詳細な説明は省略する。なお、斯かる参考文献には例えば、「プロシーディングス オブ ジ アイ・イー・イー・イー」(Proceedings of the IEEE, Vol. 59, No. 11, 1971年11月, 第1566~1579頁)にレヒナー(Lechner)外1名による論文「液晶マトリックス表示装置」("Liquid Crystal Matrix Display")がある。

本発明による表示装置もスイッチング手段用のトランジスタを用いるが、第1図の表示装置に用いるスイッチング手段は従来の表示装置のスイッチング手段とは異なり、故障許容タイプのものであると言う点で本発明による表示装置は従来の装置とは相違している。

多数のトランジスタスイッチング素子のアレイを製造するに際し、幾つかのトランジスタを不良にする故障が起り得、歩留りに悪影響を及ぼしている。スイッチング手段として単一のトランジスタを用いる従来装置では、歩留りが一般に極めて低い。

しかし、故障許容のスイッチング手段を用いる本発明による表示装置はごく一般的に生ずるトランジスタの不良にかなり対処し得るため、不良トランジスタが多数ランダムに分配されていても表示装置は依然満足に作動することができる。

各スイッチング手段は故障許容スイッチング回路を具えている。第2図には故障許容スイッチング回路及びそれに関連する表示素子の一例の回路を概略的に示してある。スイッチング回路は、関連する列導線15におけるデータ信号入力端子を構成する点22と表示素子電極16との間に電氣的に並

行導線は規則的なタイミングパルスが供給されるデジタルシフトレジスタ回路20によってスイッチング信号でアドレスされる。ビデオ情報(データ)信号は、サンプル兼ホールド回路として作用する1個以上のシフトレジスタを具えているアナログシフトレジスタ回路21から列導線15に供給される。回路21には行走率と同期してビデオ信号及びタイミングパルスが供給され、この回路はパネル10をアドレスする際に行導線に上記ビデオ信号及びタイミングパルスを適当に直ー並列変換して供給する。

列に接続される2つの枝路を具えている。これらの各枝路は一对のTFT32, 33及び34, 35をそれぞれ具えており、これら各対のTFTの主電流搬送電極は直列、即ちTFT33及び36のドレインは、それぞれTFT32及び34のソースに接続する。TFT33及び35のソース並びにTFT32及び34のドレインは、それぞれ点22と、表示素子電極16とに接続する。すべてのTFT32～35のゲートは、それぞれインピーダンス38を介して関連する行導線14におけるスイッチング信号入力端子を成す共通点23に接続する。TFTはガラス基板上に形成されるアモルファスシリコン又はポリシリコンTFTとすることができる。

或いはまた、表示装置のシリコン基板上に形成されるバルクシリコンPETの如きトランジスタを用いることもできる。

スイッチング回路の作動に当り、TFT32～35のいずれもが不良でないものとする、行導線14におけるスイッチング信号は4個のTFT32～35のすべてをターン・オンさせる。これがため、列導線

なる。

TFT32～35の内の1つのTFTのゲート・ソース又はゲート・ドレインの短絡によって、データ信号電圧でなく、ゲートに供給されるスイッチング信号電圧に相当する「オン」電圧が表示素子電極16に書込まれないようにするためには、インピーダンス38の値を各TFTの「オン」状態におけるソースとドレインとの間のインピーダンス値よりも遙かに高い値に選定する。また同時に、インピーダンス38の値は予定制限値を超えるTFTゲート電圧の立上り及び立下りを遅らせないように選定する。例えば、TV表示装置の場合には、斯かる電圧の立上り及び立下り時間は約15マイクロ秒以上にならないようにして、表示素子にデータを供給する時間を適正な時間とするのが好適である。これら双方の基準を満足すべきインピーダンス値を選定するには、TFTの移動度も考慮する必要があるが、低い移動度のTFTでもTV表示装置に対する適正なインピーダンス値は容易に達成することができる。

15に同時に供給されるデータ信号はスイッチング回路の両枝路を経て表示素子電極16に転送される。

しかし、スイッチング回路はいずれかの単一不良TFT、即ちパーホーマンスの殆ど、又は全くの劣化で、所望な動作特性、即ちスイッチング特性を呈さなくなった1つのTFTを許容することができる。

いずれか1つのTFTにおけるソース・ドレインの短絡はスイッチング回路のオン・抵抗値を低下させるだけであり、この場合のスイッチング回路は不良TFTに関連する一方の枝路の不良TFTに直列のTFTと、この枝路に並列の他の枝路の直列接続したTFTの対とによって制御される。いずれか1つのTFTのソース・ドレイン開路はスイッチング回路のオン・抵抗値を高めるが、他方の並列枝路におけるTFTの対は依然所望なスイッチング作用を維持する。ゲートの開路は、この隔離されたゲートにおける電圧に応じて、関連するTFTのソース・ドレインの開路又は短絡に似たものとなるため、この状態での回路の動作は上述したように

表示素子電極16の直ぐ隣りの2個のTFT32及び34には特別な考慮を払うようにする。これら2個のTFTの一方がゲート・ドレイン短絡に似た故障をしている場合には、そのTFTのゲートがスイッチング信号でアドレスされていない場合でも、電極16から関連するインピーダンス38を経て行導線14に至る導通路が設定される。これがため、少なくともTFT32及び34に関連するインピーダンスの値は適正な高い値として、表示素子がアドレスされてデータ信号が与えられた後で、しかもその表示素子がつぎのフィールド周期でつぎにアドレスされるまでのインターバル（これはTV表示装置の場合には約20nsである）中に表示素子が目立つような放電をしないようにする。

故障許容スイッチング回路の一形態のものでは、インピーダンス38を抵抗のようなものとする。前述した数値要件を満足する抵抗は様々な方法で形成することができる。この場合、抵抗としてはTFTを形成するために設けられるドーブ又は非ドーブ層の部分、例えば表示装置の基板上に堆積され、

TFT 用の接点領域を形成するのに用いられ、実際にはこの目的には用いられない n^+ 層の部分を利用するのが特に好都合である。TFT の代わりに半導体基板上に形成されるバルストランジスタを用いる場合には、半導体基板中に形成される n^+ 層の部分に抵抗目的に用いることができる。

少なくとも表示素子電極16に隣接するTFT32及び34に関連する抵抗の抵抗値を十分に高くして、連続するアドレス期間の間に表示素子が如何なる目立つ放電をもしないようにする要件を満足させることのできる容易性はトランジスタのチャンネルの移動度及びそのチャンネルの長さに依存する。 $\text{cm}^2/\text{ボルト秒}$ で測定されるチャンネル移動度が、マイクロメータの単位で測定されるトランジスタのチャンネル長さの自乗の1/10よりも大きい場合には、前記トランジスタに好適な抵抗の値は近似的に決定することができることは明らかである。このために、例えば斯かる特定要件を満足させるためには移動度の低いアモルファスシリコンTFTよりもむしろポリシリコンTFTを用いる方がより好適で

ある。バルクシリコントランジスタも、それらの移動度は高いために好適である。

ゲートライン、即ち少なくとも電極16の直前の2個のTFT32及び34がアドレスされていない場合のこれらTFTのゲートと行導線14との間における高インピーダンス値に対する所望な要求は、各インピーダンスとして能動負荷を用いることによつて代行させることができる。そこで、第3図を参照するに、ここには故障許容スイッチング回路の第2例の回路を示してあり、この例では表示素子電極16の隣りの2個のTFT32及び34のゲートラインにおけるインピーダンスをトランジスタ40及び41の形態の能動負荷によって構成する。好ましくは2個のTFTのゲートラインにおけるインピーダンスは図示のように抵抗42で構成する。

各負荷トランジスタ40及び41は、その主電流駆動電極がゲートラインに直列に接続され、そのドレインが関連するTFT32, 34のゲートに接続され、かつソースが行導線14に接続されるように接続する。これらの各負荷トランジスタ40及び41のゲー

トも各抵抗43を介して行導線14に接続する。従つて、負荷トランジスタ40及び41と、TFT32及び34とはそれぞれ連続接続される。常規の作動で、スイッチング回路のトランジスタがいずれも故障していないものとする、行導線14におけるスイッチング信号は負荷トランジスタ40及び41をスイッチ・オンさせ、つぎにこれらのトランジスタはTFT32及び34をターン・オンさせる。それ以外は、この第3図のスイッチング回路は第2図の例につき説明したのと極めて同じように作動する。なお、第3図の例の場合にはスイッチング信号を僅かに高くする必要がある。しかし、この例における2つのTFT32及び34のゲート用インピーダンスとして負荷トランジスタを用いることは、さもなければ前述した諸要件を満足させるために所望値の抵抗をインピーダンスとして設けなければならなかった如何なる困難性をも回避する。TFT32及び34の内一方のTFTのゲートドレインが短路されたとしても、このTFTに関連する負荷トランジスタ40又は41は、アドレスされている期間中のオフ

抵抗によって表示素子電極16の電圧が行導線14に目立つような放電をするのを防止する。

スイッチング回路が行導線14のスイッチング信号でアドレスされている場合には、負荷抵抗40及び41はオン状態にあり、その抵抗値はTFT32及び34間の抵抗値程には低くはならないが、非常に低い値となる。

負荷トランジスタのゲートラインに抵抗43を設けることによって、行導線14におけるスイッチング信号の終了時に負荷トランジスタ40及び41がスイッチ・オフされる前に、関連するTFT32及び34のゲートを解放させることができる。

第2及び第3図につき述べたような故障許容スイッチング回路を使用することにより、新規の回路は単一トランジスタのスイッチング素子を用いる慣例の表示装置よりも多数のトランジスタを必然的に伴うことになるが、不良トランジスタがラダムに分配される場合に、表示装置の歩留りを非常に高くできると言う利点を奏する。スイッチング回路のトランジスタに対する故障比

率が単一トランジスタによるスイッチング回路の場合よりも1桁高くても、スイッチング回路におけるいずれの単一不良トランジスタも許容することができるため、全体的な歩留りは数桁以上高くなる。

4. 図面の簡単な説明

第1図は各々が各別のスイッチング手段に関連する表示素子の行列アレイを有している本発明による液晶マトリックス表示装置を簡単なブロック形図にて示す線図；

第2図は第1図の表示装置における表示素子の代表的なものと、この表示素子に関連するスイッチング手段の一例を図式的に、かつ詳細に示す図；

第3図は代表的な表示素子に関連するスイッチング手段の変形例を示す回路図である。

- 10…液晶表示パネル
- 11…スイッチング手段
- 12…表示素子
- 14…行導線
- 15…列導線
- 16…表示素子電極
- 17…カウンタ電極
- 20…デジタルシフトレジスタ回路

- 21…アナログシフトレジスタ回路
- 22…データ信号入力端子
- 23…スイッチング信号入力端子
- 32, 33, 34, 35…薄膜トランジスタ
- 40, 41…負荷トランジスタ
- 42, 43…抵抗

特許出願人 エヌ・ペー・フィリップス・フルーイランペンファブリケン

代理人弁理士 杉 村 曉 秀

同 弁理士 杉 村 興 作



Fig. 1.



